

基于 CMOS 环型振荡器 0~100 MHz 高线性低功耗时钟发生器

刘心彤, 李振荣, 庄奕琪

(教育部宽禁带重点实验室, 西安电子科技大学 微电子学院, 陕西 西安 710071)

摘 要: 设计了一种基于高线性低功耗延时单元和电压电流转换电路的环形压控振荡器电路, 并采用数控技术提出了一种延时和充放电电流可编程控制的鉴频鉴相器和电荷泵电路, 获得了突出的环路性能, 最终基于 0.18 μm RF CMOS 工艺集成实现了一个具有高线性低功耗特性的时钟信号发生器。

关键词: 时钟发生器; 锁相环; 环形振荡器; 高线性; 低功耗

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)03-0052-06

A 0-100 MHz High-Linearity Low-Power Clock Generator Based on CMOS Ring Oscillator

LIU Xin-tong, LI Zhen-rong, ZHUANG Yi-qi

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,
School of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: A ring oscillator is designed based on a high-linearity and low-power delay element and V-I converter circuits. A programmable-delay phase frequency detector and a programmable-current charge pump are proposed based on digital control technology for achieving excellent loop performance. The high-linearity and low-power clock generator is implemented in 0.18 μm RF CMOS technology.

Key words: clock generator; PLL; ring oscillator; high-linear; low-power

1 引言

CMOS 环形振荡器虽然噪声性能一般, 但因其具有结构简单、成本低、易于集成、调谐范围宽和线性度好等突出优点, 以及良好的抗震动、抗电磁干扰特性, 广泛应用在各种无线产品中, 它主要用于实现时钟产生和时钟恢复电路^[1-2]。随着 CMOS 工艺水平的不断提高以及通信产品对于功耗和成本的无尽追求, 对于便携式终端设备, 基于 CMOS 环形振荡器实现低功耗、高线性和高性能的锁相环系统已经成为目前的研究热点^[3-4]。

本文针对接收机系统对噪声和功耗的需求进行研究, 设计实现了一个高线性低功耗的 CMOS 环

振荡器, 并基于该环振实现了一个集成于北斗导航射频前端芯片的 0~100 MHz 调谐范围的 CMOS 时钟发生器, 为接收机的模数转换电路提供高性能的采样时钟。

2 系统结构

本文的北斗导航射频前端芯片包括低噪声放大器、混频器、射频频率综合器、滤波器、自动增益控制、模数转换器等关键电路, 结构如图 1 所示。在将接收机下变频得到的中频信号进行数字基带处理之前, 需对模拟中频信号进行模数转换, 并需要一个锁相环来提供数模转换器工作所需的采样时钟。

本文基于锁相环结构实现了一个应用于导航射

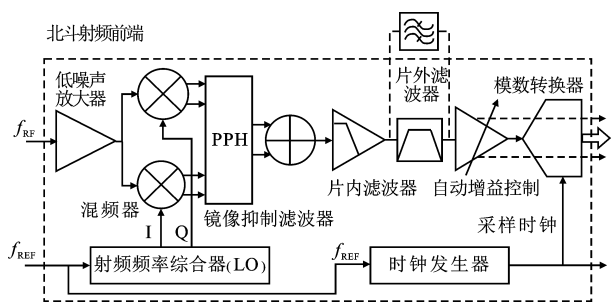


图 1 导航接收机射频前端系统结构

频前端芯片的 0~100 MHz 输出信号的时钟信号发生器,主要由鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器(LPF)、压控振荡器(VCO)、分频电路(Divider)、和数控电路(SPI)构成^[5],如图 2 所示,除了 LPF 外的电路单元都片上实现,通过片内 SPI 进行控制。

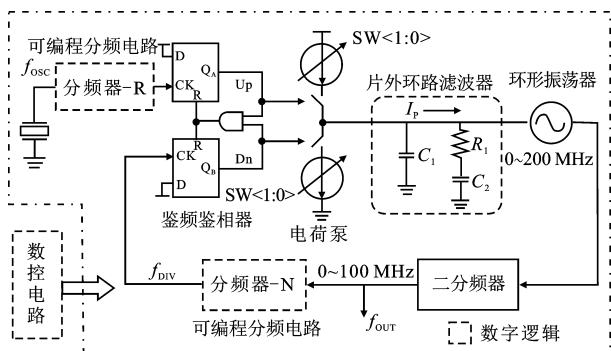


图 2 基于整数 N 锁相环实现的时钟发生器结构

锁相环系统实现了压控振荡器输出分频后的信号与输入参考信号相位和频率上的同步,在锁定时,振荡器的输出信号和输入参考信号的相位差为零或常数。当二者的相位差发生变化时,鉴频鉴相器将该误差信号(相位差)转化为脉冲电压控制电荷泵输出一个与误差信号脉冲宽度成正比的电流,然后经低通滤波器滤除高频噪声后产生一个直流电压信号,该电压控制压控振荡器的输出信号频率向参考频率靠近,直到二者频率相同,重新锁定。通常,在压控振荡器与鉴频鉴相器之间的反馈回路中增加一个可编程控制的分频电路,就形成了锁相型时钟发生器,通过改变分频系数,就可控制压控振荡器产生不同频率的输出信号。

3 模块电路设计

3.1 高线性环形压控振荡器

环形振荡器由环路中若干增益级电路组成^[6],当环路增益和相移满足巴克豪森准则时,由于环路

的噪声或扰动,在正反馈条件下,环路逐渐振荡起来,振荡幅度越来越大,最终会达到或接近电源电压摆幅。设环形振荡器级数为 N ,每一级延迟为 T_D ,则振荡频率为

$$f_{osc} = 1/2NT_D \quad (1)$$

通过控制电压调节每级电路的输出电阻或电流,来改变每级输出延迟 T_D ,从而实现对振荡器频率的控制^[7]。本文采用了文献[8]介绍的由 3 级延迟组成的差分环型振荡器结构,如图 3 所示。由于单端延迟电路易受电源和衬底噪声的干扰,因此本文的环形振荡器中采用了全差分延迟单元电路(Delay)和基于差分延迟单元的复制偏置电路(Replica)来有效抑制电源和衬底噪声,大大提高了环形振荡器的噪声性能。环振中的电压—电流转换电路(VTC)用于产生延迟单元所需的线性受控电流。

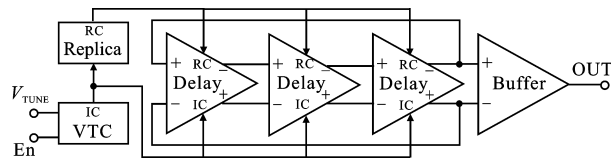


图 3 本文的三级差分环型振荡器电路

每一级延迟单元可看成全差分的单极点差分放大器,该极点位于输出节点,设极点频率为 ω_0 ,设每一级放大器的低频增益为 A_0 ,则单级增益为

$$A_x = -\frac{A_0}{(1 + \frac{s}{\omega_0})} \quad (x = 1, 2, 3) \quad (2)$$

开环增益表达式为

$$H(s) = \frac{A_0^3}{(1 + \frac{s}{\omega_0})^3} \quad (3)$$

由巴克豪森准则可知,若使振荡器振荡,延时电路需提供 180° 相移,即每级延时提供 60° 相移,则振荡频率可由下式给出。

$$\arctan \frac{\omega_{osc}}{\omega_0} = 60^\circ \quad (4)$$

同时,每级电路的最小增益必须使环路增益在频率 ω_{osc} 处等于 1,即有

$$H(s) = \frac{A_0^3}{(1 + \frac{s}{\omega_0})^3} = 1 \quad (5)$$

则可得

$$A_0 = 2, \omega_{osc} = \sqrt{3}\omega_0.$$

式中, ω_0 表示每一级电路的 3 dB 带宽,由每级输出的电阻电容决定。

$$\frac{I_{SS}}{V_{TUNE}} \approx 3/R_s \quad (9)$$

联合式(7)和(9)可得

$$f_{osc} = \frac{I_{SS}}{2N \cdot V_{SWING} \cdot C_L} \approx \frac{3V_{TUNE}}{2N \cdot V_{SWING} \cdot C_L \cdot R_s} \quad (10)$$

分析上式可知,该电路能够实现振荡频率 f_{osc} 受控制电压 V_{TUNE} 线性控制。

在偏置电路中,晶体管 M2 栅极接地, M2 保持常开状态,参考电压 V_{REF} 使晶体管 M2' 处于关断状态,电流 I_{SS} 全部流过晶体管 M2 所在支路,使得 A 点输出电压达到最大摆幅。通过运算放大器的反馈控制, A 点电压也等于 V_{REF} ,从而达到限定延迟单元输出电压摆幅的目的。同时,该运放产生控制电压 R_{CTRL} ,用于控制延迟单元的电阻值。

减小了电压摆幅,运放电路采用了差分输入单端输出的共源共栅结构,其输出连接晶体管 M3、M5 栅极,通过 A 点反馈到运放的同相端。为了保证运放的稳定性,加入了电阻电容构成的密勒补偿电路,使得产生的 R_{CTRL} 电压是稳定的直流电压,而非振荡信号。同时,运放的带宽应保证足够,使得 A 点电压在整个工作过程中能够跟踪参考电压 V_{REF} 。

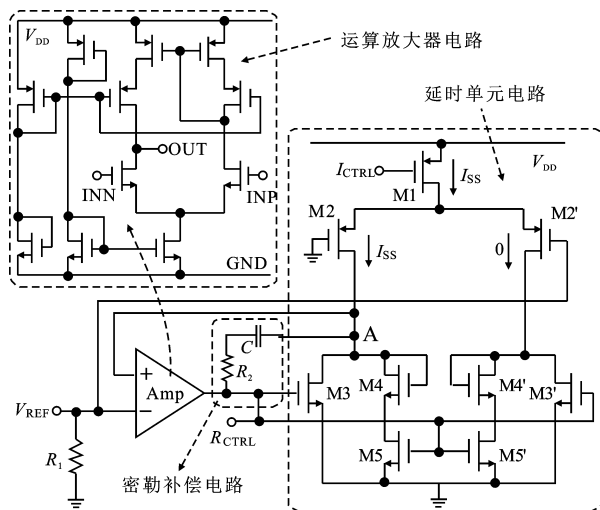


图7 偏置电路及运算放大器电路

3.1.4 输出缓冲电路

采用复制偏置电路,环振的输出电压摆幅被限制在 $0 \sim V_{REF}$ 之间,不满足系统 rail-to-rail 电压摆幅的需要。同时,由于电容充放电电流的差异导致延迟单元输出的差分信号的占空比不等于 50%。因此,需要缓冲电路对延迟单元的输出信号进行整形,电路结构如图 8 所示。它将差分输入转为单端输出信号,同时隔离了负载对环振的影响。反相器使输出达

到 rail-to-rail,调整了占空比,也增强了输出信号的驱动能力。

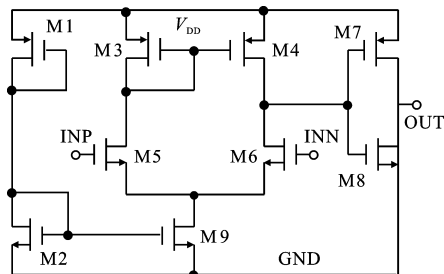


图8 输出缓冲器电路

3.2 分频器电路

本文实现了一个基于整数 N 型锁相环的时钟发生器,结构如图 2 所示,分频电路包括二分电路 (Divider-2)、可编程分频电路 (N)、参考频率分频器 (R) 三部分。由于分频电路输入信号低于 200 MHz,本文的分频电路均基于硬件描述语言和数字 EDA 工具实现。假设输入晶振频率为 f_{osc} ,输出为 f_{out} ,环振荡频率为 f_{vco} ,则输出频率可表示为式(11)

$$f_{out} = N \cdot f_{osc} / R = f_{vco} / 2 \quad (11)$$

3.3 鉴频鉴相器电路

本文采用了 RS-Latch 结构的三态全差分鉴频鉴相器^[9],结构如图 9(a)所示。该鉴频鉴相器提取参考时钟 f_{REF} 和分频信号 f_{DIV} 之间的相位差,并将该误差信号(相位差)转化为脉冲电压控制电荷泵输出一个受控电流,工作原理如图 9(b)所示。

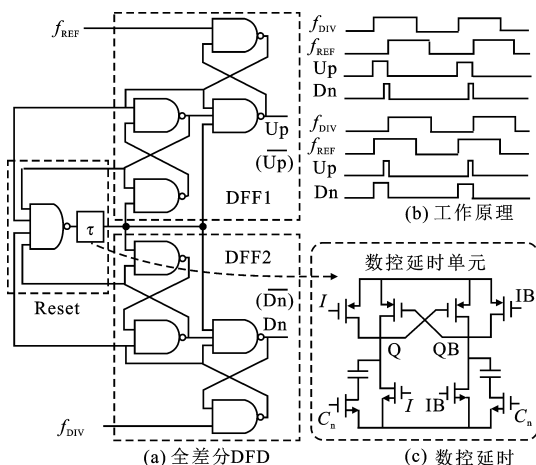


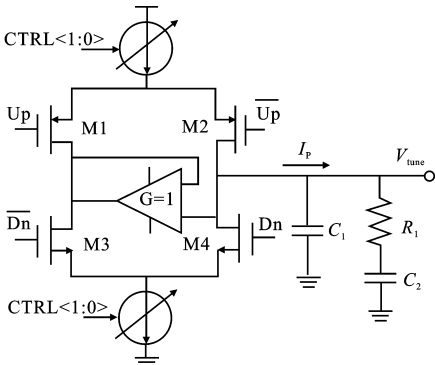
图9 全差分PFD、PFD工作原理与数控延时

对鉴频鉴相器来说,当参考时钟和分频信号的相位差足够小时,它将无法鉴别,即存在一个最小鉴相误差,也称为鉴相死区。鉴相死区是信号经过逻辑门的传输延迟造成的,可以采用更加灵敏和高速的电路结构来优化鉴频鉴相器(PFD)的鉴相死区。为

了实现对细微相位误差的鉴别,可以在 PFD 输出路径上增加延时单元.但需指出的是,增加延时单元会降低 PFD 的最大工作频率,并提升对电荷泵充放电电流的匹配度要求,因此设计中需折中考虑.本文采用了如图 9(c)所示的数控延时电路,通过 SPI 接口配置数控开关 $C<n;0>$ 来控制复位电路的电容值,根据 $\tau=RC$,最终实现了对延时量的灵活控制,为电路提供最优延时,既消除了鉴相死区,还优化了 PLL 整体噪声性能.

3.4 电荷泵电路

电荷泵将 PFD 输出的方波脉冲转化为直流电平信号,进而控制压控振荡器的振荡频率.本文采用的全差分结构的电荷泵及环路滤波器如图 10 所示,差分结构可以保证电流源始终工作在饱和状态,有效避免了电流过冲和电荷泵开关延时不匹配问题,同时减小了信号所需的摆幅;电荷泵在打开状态相当于一个恒流源,该恒流源电路采用 Cascode 结构,增大了输出电阻,减小了输出电压对电流值的影响,有效提高了充放电电流的匹配性;采用了 Dummy 器件及自举电路,利用单位增益放大器做电压跟随器来保证两端电位的一致性,减小了电荷分享,同时改善了输出信号的跳跃现象,也避免了开关 MOS 管源级到衬底的寄生电容的充放电问题,消除了电荷分流.此外,通过数控单元对电荷泵电流进行灵活配置,最终优化环路特性,减小功耗.通过对电路进行版图设计,后仿真结果表明,电荷泵的摆幅为 0.4~1.4 V,在此区间,充放电电流几乎完全一致,实现了充放电电流的良好匹配,说明本电路合理优化了电荷泵的非理想效应.



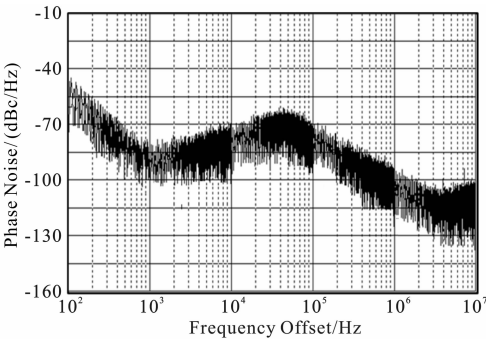


图 13 测量的时钟发生器输出信号相位噪声

采用泰克 DPO70404 示波器对时钟发生器输出信号的实时波形进行测量,测试结果如图 14 所示。

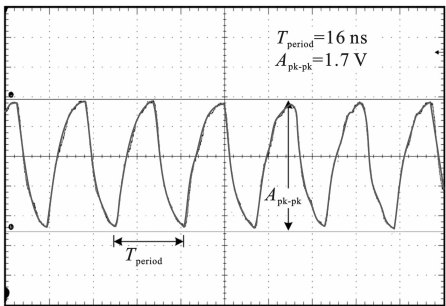


图 14 测量的时钟发生器输出信号实时波形

本文实现的频率综合器的性能与其他文献中的频率综合器进行了分析比较,结果如表 2 所示。

表 2 与其他频率综合器的性能比较

Reference	[10]	[11]	[12]	[13]	This Work
Technology / μm	0.18 CMOS	0.153 CMOS	0.35 CMOS	0.35 BiCMOS	0.18 CMOS
Tuning Range/MHz	21~1 180	513~1 800	4	50	0~102
Phase Noise@1MHz / ($\text{dBc} \cdot \text{Hz}^{-1}$)	-95	-84.11	-62.29	N/A	-105.88
Power / mW	4.16	3.88	0.77	6	2.7
Supply / V	1.8	1.8	3.3	3.3	1.8

5 结束语

本文设计了高线性低噪声的环形振荡器,并采用数控技术设计了一种延时和充放电电流可编程控制的鉴频鉴相器和电荷泵电路,最终基于 0.18 μm RF CMOS 工艺实现了一个具有高线性低功耗特性的时钟信号发生器。测试结果表明,该时钟发生器在 0~102 MHz 输出频率范围内具有良好的线性度,对于 60 MHz 的输出信号,在 1 kHz 和 1 MHz 频偏处的相位噪声分别为 -90.6 dBc/Hz 和 -105.88 dBc/Hz。实测结果表明,工作电压为 1.8 V 时,时钟发生器电路的整体功耗为 2.7 mW,其中环振的功耗仅为 0.48 mW,面积仅为 0.1 mm $\times$ 0.12 mm。

参考文献:

[1] Yan Yunfeng ,Yan Taotao, Mo Tingting , et al. A 62MHz ~ 316MHz phase-locked loop based on ring oscillator for ADC clock generator in 0.18 μm CMOS [C] // Third International Conference on Measuring Technology and Mechatronics Automation. Shang-shai: IEEE, 2011:6-8.

[2] Goyal B, Suman S, Ghosh P K. Design and analysis of improved performance ring VCO based on differential pair configuration [C] // Electrical, Electronics, and Optimization Techniques (ICEEOT), International

Conference on. IEEE, 2016; 3468-3472.

[3] Amr Amin Hafez ,Chih-Kong Ken Yang. Design and optimization of multipath ring oscillators [J]. IEEE Trans on Circuits and Systems, 2011, 58 (10): 2332-2345.

[4] Chen Zuow-Zun, Lee Tai-Cheng. The design and analysis of dual-delay-path ring oscillators [J]. IEEE Trans on Circuits and Systems, 2011, 58(3):470-478.

[5] Adrian Maxim, Ramin K Poorfard, Richard A Johnson, et al. A fully integrated 0.13 μm CMOS digital low-IF DBS satellite tuner using a ring oscillator-based frequency synthesizer [J]. IEEE Journal of Solid-State Circuits. 2007, 42(5):967-982.

[6] Kadaba R Lakshmikumar. Analog PLL design with ring oscillators at low-gigahertz frequencies in nanometer CMOS: Challenges and solutions [J]. IEEE Trans on Circuits and Systems, 2009, 56(5):389-393.

[7] 陈鑫, 黄辉, 吴宁. 增益恒定的数控振荡器设计[J]. 电子科技大学学报, 2012, 41(5):712-716.

[8] Asad A Abidi. Phase noise and jitter in CMOS ring oscillators [J]. IEEE Journal of Solid-State Circuits. 2006, 41(8):1803-1816.

[9] 李振荣, 庄奕琪, 龙强. 具有高线性调谐特性的 1.2 GHz CMOS 频率综合器[J]. 电子科技大学学报, 2012, 41(6):853-858.

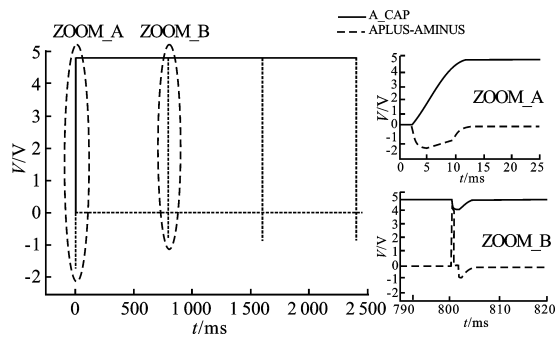


图 12 正常工作时刺激电容电压以及刺激脉冲

表 1 起搏模块性能对比

文献	工艺/ μm	电源电 压/V	离子 平衡	平均功耗(速率 75 ppm,幅值4.8 V)/ μW
[6]	0.35	2.8	否	11
本文	0.35	1.6~2.8	是	7.73

5 结束语

本文设计了一种可应用于植入式心脏起搏器的高压脉冲产生电路.该电路在产生起搏脉冲的过程中,充放电回路均经过心脏,保证了通过心脏的电荷一致,长期使用不破坏心肌细胞的电离子平衡;同时起搏脉冲幅值检测电路运用了闭环控制的方法,起搏幅值连续可调且精确,因此在电池老化的情况下仍旧能够正常工作,具有很高的安全性和实用性.

参考文献:

[1] Ward C, Henderson S, Metcalfe N H. A short history on pacemakers[J]. International Journal of Cardiology, 2013,169(4): 244-248.

[10] 谢连波, 桑红石, 方海涛,等. 低功耗 CMOS 差分环形压控振荡器设计[J]. 微电子学与计算机, 2013, 30(5):104-107.

[11] 王玥, 刁盛锡, 袁海泉,等. 一种低功耗环形振荡器的噪声分析与设计[J]. 微电子学, 2015, 45(6): 731-734.

[12] Yang W B, Wang C H, Chuo I T. A Robust Oscillator for Embedded System without External Crystal[J]. Applied Mathematics & Information Sciences 9 (1L), 2015: 73-80.

[13] Huang Jiwei, Tao Liang, Li Zhengpin. A low-jitter and low-power clock generator[C]//IEEE Internation-

[2] Powers R A. Batteries for low power electronics[J]. Proceedings of the IEEE, 1995, 83 (4): 687-693 .

[3] 刘华芬, 王晓红, 向晋涛,等. 与起搏器有关的并发症案例报道 10 年回顾分析[J]. 中国心脏起搏与心电生理杂志, 2007, 21(4): 370-373.

[4] Shuenn-Yuh L, Su Y C, Liang M C, et al. A programmable implantable micro-stimulator SoC with wireless telemetry[C]// Application in closed-loop endocardial stimulation for cardiac pacemaker. IEEE, 2011: 44-45.

[5] Zhang J, Zhang H, Zhang R, et al. A mixed-signal ASIC for triple-chamber cardiac pacemakers with heart resistance measurement[C]// IEEE Asian Solid-State Circuits Conference. IEEE, 2015:1-4.

[6] Zhang J, Zhang H, Xu J, et al. A low energy ASIC for triple-chamber cardiac pacemakers with contact resistance measurement[J]. Microelectronics Journal, 2017, 60:65-74.

[7] 张瑞智,赵阳,张鸿,等. 一种应用于心脏起搏器的极性选择电路[D]. 西安:西安交通大学,2015.

[8] Starzyk J, Jan Y, Qiu F. A DC-DC charge pump design based on voltagedoublers[J]. IEEE Trans. Circuits Syst. I, 2001,48(3):350-359.

[9] Razavi B. The Strong Arm latch[J]. IEEE Solid-State Circuits Mag. , 2015,7(2):12-17.

作者简介:

闫琛 男,(1993-),硕士研究生.研究方向为模拟集成电路设计.

张瑞智(通讯作者) 男,(1962-),副教授.研究方向为低压低功耗模拟 IC 设计,生物医疗芯片设计.

E-mail: rzzhang@xjtu. edu. cn.

(上接第 57 页)

al Conference on Solid-State and Integrated Circuit Technology. Shanghai: IEEE, 2010:385-387.

作者简介:

刘心彤 女,(1993-),硕士研究生.研究方向为集成电路与集成系统设计.

李振荣(通讯作者) 男,(1979-),副教授,硕士生导师.研究方向为短距离无线通信芯片设计及超宽带射频/微波芯片设计. E-mail:zrli@mail. xidian. edu. cn.

庄奕琪 男,(1957-),教授,博士生导师.研究方向为射频集成电路与短距离无线通信芯片设计等.